

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 10 月 28 日 (28.10.2004)

PCT

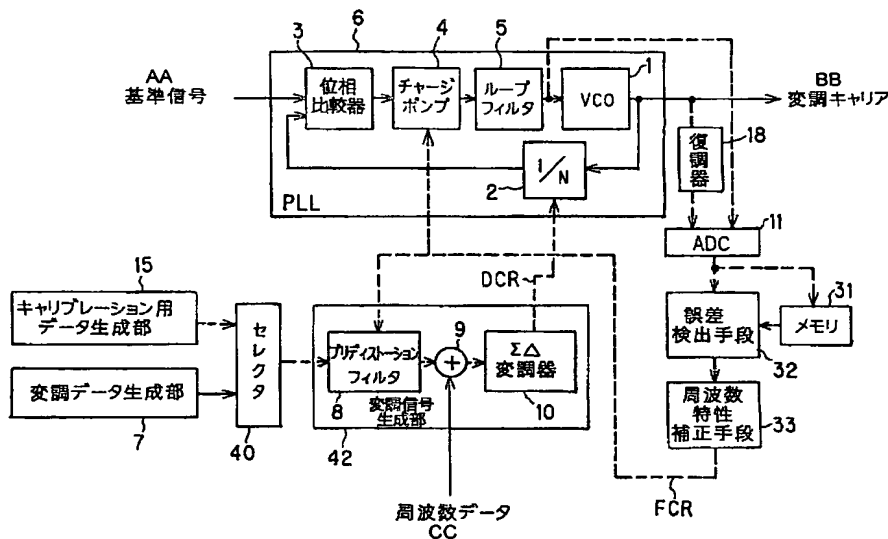
(10) 国際公開番号  
WO 2004/093309 A1

- (51) 国際特許分類: H03C 1/00, H03L 7/08, 7/18  
(21) 国際出願番号: PCT/JP2004/000061  
(22) 国際出願日: 2004 年 1 月 8 日 (08.01.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2003-2501 2003 年 1 月 8 日 (08.01.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 平野 俊介 (HIRANO, Shunsuke). 宮原 泰徳 (MIYAHARA, Yasunori).  
(74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒107-6013 東京都 港区 赤坂一丁目 1 2 番 3 2 号 アーク森ビル 1 3 階 栄光特許事務所 Tokyo (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: MODULATOR AND CORRECTION METHOD THEREOF

(54) 発明の名称: 変調器及びその補正方法



- AA...REFERENCE SIGNAL  
3...PHASE COMPARATOR  
4...CHARGE PUMP  
5...LOOP FILTER  
BB...MODULATION CARRIER  
18...MODULATOR  
15...CALIBRATION DATA GENERATOR  
7...MODULATION DATA GENERATOR  
40...SELECTOR  
8...PRE-DISTORTION FILTER  
42...MODULATION SIGNAL GENERATOR  
10...ΣΔ MODULATOR  
CC...FREQUENCY DATA  
32...ERROR DETECTION MEANS  
31...MEMORY  
33...FREQUENCY CHARACTERISTIC CORRECTION MEANS

(57) Abstract: It is possible to maintain conformance of frequency characteristic and prevent lowering of modulation accuracy in a wide band modulator using a PLL synthesizer even when manufacturing irregularities are present. The division ratio of a divider (2) is modulated by a modulation signal generated by a modulation signal generator (42). In the wide band modulator using a PLL (6) for outputting a modulation carrier signal from a VCO (1), data for first and second calibration from a calibration data generator (15) is input via a selector (40). An amplitude value of an AC component of each modulation signal appearing at the output of a loop filter (5) or an amplitude value of an AC component of each modulation signal modulated by a modulator (18) is converted to a digital value by an A/D converter (11). A difference between the two is detected by error detection means (32). Frequency characteristic correction means (33) generates a control signal FCR for dissolving the difference and corrects the frequency characteristic of the PLL (6) or a pre-distortion filter (8).

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の課題は、PLLシンセサイザを用いた広帯域変調器において、製造ばらつき等があった場合でも周波数特性の整合を保ち、変調精度の低下を防止することである。分周器(2)の分周比を、変調信号生成部(42)により生成される変調信号で変調し、VCO(1)から変調キャリア信号を出力するPLL(6)を用いた広帯域変調器において、セレクタ(40)を介してキャリアブレーション用データ生成部(15)からの第1および第2のキャリアブレーション用のデータを入力し、ループフィルタ(5)の出力に現われる各変調信号のAC成分の振幅値、あるいは復調器(18)により復調された各変調信号のAC成分の振幅値をA/D変換器(11)によりデジタル値に変換し、誤差検出手段(32)により両者の差分を検出し、周波数特性補正手段(33)により差分を解消するための制御信号FCRを生成して、PLL(6)またはプリディストーションフィルタ(8)の周波数特性を補正する。

## 明 細 書

## 変調器及びその補正方法

## 5 &lt;技術分野&gt;

本発明は、無線機等で使用され、PLLの周波数帯域よりも広い周波数帯域での変調キャリア信号を生成し出力する、PLL周波数シンセサイザを用いた広帯域変調が可能な変調器及びその補正方法に関する。

## 10 &lt;背景技術&gt;

一般に、PLLシンセサイザを利用した変調回路には、低コスト、低消費電力、良好なノイズ特性と変調精度が求められる。PLLを用いて変調処理を行う場合、変調精度を良くするためには変調信号の周波数帯域幅（変調帯域幅）よりもPLLの周波数帯域幅（PLL帯域幅）を広くすることが望ましい。しかし、PLL帯域幅を広くすると、PLLを構成する各構成要素から発生するノイズを抑圧できなくなり、ノイズ特性の劣化を招くという問題があった。

従来、この問題を解決するために、PLL帯域幅を変調帯域幅よりも狭く設定し、PLLの周波数特性により抑圧される変調信号成分をあらかじめ変調データで増幅（プリディストーション）しておくという技術が、特許文献1（米国特許第6,008,703号明細書）に記載されている。

特許文献1の図2Aに記載される構成を、ほぼ忠実に再現したのが図14である。図14において、位相比較器36と、ループフィルタ40と、電圧制御発振器（VCO）26と、多値分周器30は、PLLを構成する。

デジタル変調データは、PLLのカットオフ周波数を超える周波数成分を含んでいる。そして、デジタル補償フィルタ46により、デジタル変調データにPLLの周波数特性の逆の特性を付与し、加算器50にてキャリア信号を加算する。続いて、加算器50の出力信号を、 $\Sigma\Delta$ （シグマデルタ）変調器56で変調し、これによって得られる変調信号で、多値分周器30を変調する。これによって、電圧制御発振器26から、変調キャリア信号が出力される。

(特許文献 1) 米国特許第 6, 008, 703 号明細書 (図 2 A、図 3 A—図 3 C、図 4)

上述の技術を用いると、PLL の閉ループ周波数特性に関して、理論上は、PLL のカットオフ周波数を超える周波数帯域においてもフラットなゲイン特性を  
5 実現でき、PLL を実質的に広帯域化することができるはずである。

しかし、PLL (アナログ回路) を集積回路化する場合、抵抗やコンデンサの値が製造ばらつきにより変化することがあり、その結果、PLL の周波数特性が変化  
10 する。一方、デジタル補償フィルタの特性は、設計時のフィルタ係数により定まり、変化しない。結果的に、PLL の周波数特性とデジタル補償フィルタの周波数特性とが整合しなくなる。

したがって、現実には、PLL のカットオフ周波数を超える周波数帯域においてもフラットなゲイン特性を得ることは困難である。

以下、本願発明の発明者による検討結果を、図 15 および図 16 を用いて、より具体的に説明する。

15 図 15 は、図 14 に示される従来例の回路における理想的な周波数特性を示した特性図である。図 15 における縦軸の利得は、PLL 6 の周波数帯域内の利得を 0 [dB] に正規化したものである。PLL の閉ループ周波数特性は、図 15 の特性曲線 A のように、カットオフ周波数  $f_c$  の低域通過特性で表されるとする。また、図 14 のデジタル補償フィルタ 46 の特性は、図 15 の特性曲線 B のよ  
20 うに、PLL の周波数特性の逆特性で表される周波数特性を有する。

また、図 14 におけるデジタル変調データは、デジタル値の周波数帯域  $f_{BW}$  の信号である。このデジタル変調データは、デジタルフィルタで構成されたデジタル補償フィルタ 46 により、PLL 6 の周波数帯域を越える領域の信号成分が増幅され、その増幅された信号により、多値分周器が変調される。

25 この結果、図 14 の電圧制御発振器 26 から出力される変調キャリア信号の周波数特性は、図 15 の特性曲線 C に示すように、PLL の周波数特性と合成されてフラットな周波数特性となる。よって、変調帯域幅が PLL の帯域幅 (カットオフ周波数) を越える場合にも変調処理を行うことができ、変調精度とノイズ特性を両立することができる。

しかし、上述のとおり、現実には、PLLを構成する回路部品の特性がばらつく等の理由により、このようなフラットなゲイン特性を得ることは困難である。例えば、PLLを集積化する場合、抵抗やコンデンサ等の値が製造ばらつきにより変化し、PLLの周波数特性が変化する。

5 図16は、図14に示される従来例の回路におけるPLLの周波数特性が変化した場合の周波数特性を示した特性図である。

図16において、特性曲線A<sub>x</sub>が、カットオフ周波数がf<sub>c x</sub>に変化したPLLの閉ループ周波数特性を示している。一方、デジタル補償フィルタの周波数特性は、デジタルフィルタであるため設計時のものから変化がないものとする（特性曲線B）。したがって、合成した周波数特性は、図16の特性曲線C<sub>x</sub>のように、フラットではなくなってしまう。

10 このように、集積回路製造時における製造ばらつき等に起因して、PLLの周波数特性とデジタル補償フィルタの周波数特性との間にずれが生じ、これによってフラットな特性が得られなくなり、このことが、変調精度を劣化させるという問題が生じる。

本発明は、このような検討結果に基づいてなされたもので、その目的は、製造ばらつき等があった場合でも、変調精度の劣化を防ぐことができるPLL周波数シンセサイザを用いた広帯域変調が可能な変調器及びその補正方法を提供することにある。

20

#### <発明の開示>

本発明に係る変調器は、電圧制御発振器と分周器と位相比較器とを有してなるPLLを備え、このPLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データに基づいて変調信号を生成し、この変調信号により前記分周器の分周比を設定し、前記電圧制御発振器から変調されたキャリア信号を出力させると共に、前記変調信号の生成過程において、前記変調データに対してプリディストーションフィルタによるフィルタリング処理を行って前記PLLの周波数特性とは逆の周波数特性を付与し、これによって広帯域変調を可能とした変調器であって、前記電圧制御発振器の制御端子に現われる前記変調信号の交流成分に関して、前記P

PLLのカットオフ周波数以下の周波数における振幅値と、前記カットオフ周波数より高い周波数における振幅値との差分を検出する誤差検出手段と、検出された前記差分を解消する方向に、前記PLLの周波数特性と前記プリディストーションフィルタの周波数特性の少なくとも一方を補正する周波数特性補正手段と、を備えたものである。

この構成により、PLLまたはプリディストーションフィルタの周波数特性を補正することができる。この補正によって、PLLとプリディストーションフィルタの両者の周波数特性のずれが解消され、PLLのカットオフ周波数を超える周波数帯域においても、フラットなゲイン特性が実現される。このため、製造ばらつき等があった場合でも、変調精度の劣化を防ぐことができる。

また、上記構成において、前記変調データとして、前記PLLのカットオフ周波数以下の周波数の第1のキャリブレーション用データと、前記カットオフ周波数より高い周波数の第2のキャリブレーション用データとを選択的に入力するためのセレクタを備えたものとする。

この構成により、キャリブレーション用データを入力して利得の測定を行うことで、PLLおよびプリディストーションフィルタの周波数特性のずれを推定することができ、これにより、的確な周波数補正の補正が可能となる。

本発明に係る変調器は、変調されたキャリア信号を出力する電圧制御発振器と、変調された分周比で前記電圧制御発振器の出力信号の周波数を分周し出力する分周器と、前記分周器の出力信号と基準信号の位相とを比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号を電圧または電流に変換するチャージポンプと、前記チャージポンプの出力信号に対し低域通過フィルタリングして前記電圧制御発振器へ出力するループフィルタとを備えたPLLと、前記PLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データを生成し出力する変調データ生成部と、近似された前記PLLの周波数特性の逆の特性を有し前記変調データをフィルタリングするプリディストーションフィルタと、前記プリディストーションフィルタの出力を変調して前記分周器の分周比を設定するための変調信号として出力する分周比変調手段と、前記プリディストーションフィルタ

の周波数特性を変化させるための制御信号を出力するプリディストーションフィルタ周波数特性補正手段と、を備えたものである。

この構成により、PLLの周波数帯域にばらつきが生じても、プリディストーションフィルタのカットオフ周波数を変化させてばらつきを補正することができ

5 、変調精度の劣化を防止可能となる。

また、上記構成において、前記PLLの周波数帯域内の周波数情報を持つ第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部を備えると共に、前記プリディストーションフィルタ周波数特性補正手段は、前記第1および第2のキャリブレーション用データのそれぞれに対応して前記ループフィルタの出力に現われる、前記分

10 周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、前記比較手段から出力される前記差分情報に応じて前記プリディストーションフィルタの特性を変化させるフィルタ特性制御手段と、を備えたものとする。

この構成により、ループフィルタの出力信号に現われる、第1および第2のキャリブレーションデータに対応する交流成分の振幅を比較することにより、PLLとプリディストーションフィルタとの間の周波数特性のずれを容易に検出する  
20 ことができる。

あるいは、上記構成において、前記PLLの周波数帯域内の周波数情報を持つ第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部と、前記電圧制御発振器の出力を  
25 復調する復調器とを備えると共に、前記プリディストーションフィルタ周波数特性補正手段は、前記第1および第2のキャリブレーション用データのそれぞれに対応して前記復調器の出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出

力する比較手段と、前記比較手段から出力される前記差分情報に応じて前記プリディストーションフィルタの特性を変化させるフィルタ特性制御手段と、を備えたものとする。

この構成では、ループフィルタの出力信号に現われる、第1および第2のキャリア  
5 リブレーションデータに対応する交流成分は、電圧制御発振器の出力信号（変調キャリア）を復調することによっても得ることができる点に着目し、復調器の各出力信号の振幅値を比較することにより、PLLとプリディストーションフィルタとの間の周波数特性のずれを容易に検出することができる。

本発明に係る変調器は、変調されたキャリア信号を出力する電圧制御発振器と  
10 、変調された分周比で前記電圧制御発振器の出力信号の周波数を分周し出力する分周器と、前記分周器の出力信号と基準信号の位相とを比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号を電圧または電流に変換するチャージポンプと、前記チャージポンプの出力信号に対し低域通過フィルタリングして前記電圧制御発振器へ出力するループフィルタとを備えたPLLと、前記P  
15 LLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データを生成し出力する変調データ生成部と、近似された前記PLLの周波数特性の逆の特性を有し前記変調データをフィルタリングするプリディストーションフィルタと、前記プリディストーションフィルタの出力を変調して前記分周器の分周比を設定するための変調信号として出力する分周比変調手段と、前記チャージポンプの電流ゲインを  
20 変化させる制御信号を出力するPLL周波数特性補正手段と、を備えたものである。

この構成により、チャージポンプの電流を制御することにより、PLLの周波数特性を変化させて、PLLとプリディストーションフィルタとの間の周波数特性のばらつきを補正することができ、変調精度の劣化を防止可能となる。

25 また、上記構成において、前記PLLの周波数帯域内の周波数情報を持つ第1のキャリアブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリアブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリアブレーション用データ生成部を備えると共に、前記PLL周波数特性補正手段は、前記第1および第2のキャリアブレーション用データのそれぞれに



対応して前記ループフィルタの出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、前記比較手段から出力される前記差分情報に応じて

5 前記チャージポンプの電流ゲインを変化させるチャージポンプ電流制御手段と、を備えたものとする。

この構成により、ループフィルタの出力信号に基づき、PLLとプリディストーションフィルタとの間の周波数特性のずれを容易に検出することができる。

あるいは、上記構成において、前記PLLの周波数帯域内の周波数情報を持つ

10 第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部と、前記電圧制御発振器の出力を復調する復調器とを備えると共に、前記PLL周波数特性補正手段は、前記第1および第2のキャリブレーション用データのそれぞれに対応して前記復調器の出

15 力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、前記比較手段から出力される前記差分情報に応じて前記チャージポンプの電流ゲインを変化させるチャージポンプ電流制御手段と、を備えたものとする。

20 この構成により、復調器の出力信号（つまり、キャリブレーション信号成分）に基づき、PLLとプリディストーションフィルタとの間の周波数特性のずれを容易に検出することができる。

また、他の態様として、前記フィルタ特性制御手段は、前記プリディストーションフィルタの周波数特性を変更する制御データを格納したメモリを備えたもの

25 とする。

この構成により、ROM等のメモリに格納した制御データのルックアップテーブルを用いて、プリディストーションフィルタの周波数特性の制御信号を簡単に生成することができる。これにより、回路規模を小さくすることができ、低コスト化を図ることができる。

また、他の態様として、前記チャージポンプ電流制御手段は、前記PLLの周波数特性を変更する制御データを格納したメモリを備えたものとする。

この構成により、ROM等のメモリに格納した制御データのルックアップテーブルを用いて、チャージポンプの電流ゲインの制御信号を簡単に生成することができる。これにより、回路規模を小さくすることができ、低コスト化を図ることができる。

また、他の態様として、前記ループフィルタの出力端と前記電圧制御発振器の入力端との間に、前記変調信号の帯域幅よりも高いカットオフ周波数を持つローパスフィルタを設けたものとする。

10 この構成により、変調帯域よりも高い周波数帯域（つまり、変調データが示す最大の周波数よりも高い周波数帯域）において、ノイズを低減することができ、ノイズ特性を改善することができる。

また、上記構成において、前記第1および第2のキャリブレーション用データは、単一の周波数情報を持つものとする。

15 この構成により、キャリブレーション信号（キャリブレーション用の変調信号）が単一トーンとなり、キャリブレーション時の比較処理が簡単化される。すなわち、補正誤差を小さくすることができるため、変調精度を良くすることができる。

また、他の態様として、前記プリディストーションフィルタ周波数特性補正手段において、前記比較手段は、前記電圧制御発振器の出力周波数を変更した直後に、前記第1および第2のキャリブレーション用データのそれぞれに対応して前記ループフィルタの出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値を比較し、前記フィルタ特性制御手段は、前記比較結果に応じて前記プリディストーションフィルタの特性を変化させることとする。

25 この構成により、PLLの周波数特性とプリディストーションフィルタの周波数特性を同時に変化させることができ、キャリブレーション精度が向上し、その結果、変調精度を向上させることができる。

また、他の態様として、前記ループフィルタと前記A/D変換器とを交流結合する構成とする。

この構成により、ループフィルタ出力の直流成分にA/D変換器のビット数を割り付ける必要がなくなるため、キャリブレーション信号の振幅測定精度が向上する。または、A/D変換器のビット数を削減でき、低コスト化を図ることができる。

- 5      また、他の態様として、前記プリディストーションフィルタの特性を変化させた後に前記A/D変換器の動作を停止するものとする。この構成により、低消費電力化を図ることができる。

- 10      また、他の態様として、前記プリディストーションフィルタの特性を変化させた後に前記復調器の動作を停止するものとする。この構成により、低消費電力化を図ることができる。

また、他の態様として、前記プリディストーションフィルタを、IIR型のデジタルフィルタで構成するものとする。

この構成により、PLLの振幅と位相の周波数特性をデジタルフィルタで実現できるため、変調精度を向上させることができる。

- 15      また、本発明の移動無線機は、上記いずれかの構成の変調器を備えるものとする。この構成によって、移動無線機の送信信号の変調精度を向上させることができる。

- 20      また、本発明の無線基地局装置は、上記いずれかの構成の変調器を備えるものとする。この構成によって、無線基地局装置の送信信号の変調精度を向上させることができる。

- 25      本発明に係る変調器の補正方法は、PLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データに基づいて変調信号を生成し、この変調信号により前記PLLを構成する分周器の分周比を設定し、前記PLLを構成する電圧制御発振器から変調されたキャリア信号を出力させると共に、前記変調信号の生成過程において、前記変調データに対してプリディストーションフィルタによるフィルタリング処理を行って前記PLLの周波数特性とは逆の周波数特性を付与し、これによって広帯域変調を可能とした変調器の補正方法であって、前記電圧制御発振器の制御端子に現われる前記変調信号の交流成分に関して、前記PLLのカットオフ周波数以下である第1のキャリブレーション周波数における振幅値と、前記カ

ットオフ周波数より高い第2のキャリブレーション周波数における振幅値との差分を検出する誤差検出ステップと、検出された前記差分を解消する方向に、前記PLLの周波数特性と前記プリディストーションフィルタの周波数特性の少なくとも一方を補正する周波数特性補正ステップと、を有するものである。

- 5 この手順により、PLLの周波数特性とプリディストーションフィルタの周波数特性との整合をとることができるため、PLLのカットオフ周波数を超える周波数帯域においてもフラットな周波数特性を実現でき、変調の精度の低下を防止することができる。

#### 10 <図面の簡単な説明>

図1は、本発明の第1実施形態に係るPLL周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図であり、

図2は、第1実施形態の変調器におけるキャリブレーション動作を具体的に説明するための動作説明図であり、

- 15 図3は、第1実施形態の変調器におけるキャリブレーション動作を具体的に説明するための動作説明図であり、

図4は、本発明の第2実施形態に係るPLL周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図であり、

- 20 図5は、第2実施形態の変調器における動作を説明するための周波数特性図であり、

図6は、第2実施形態の変調器における動作を説明するための周波数特性図であり、

図7は、第2実施形態の変調器における動作を説明するための周波数特性図であり、

- 25 図8は、第2実施形態において、PLLのカットオフ周波数を超える変調信号成分の振幅値と、超えない変調信号成分の振幅値との間に差が生じている様子を示す動作説明図であり、

図9は、本発明の第3実施形態に係るPLL周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図であり、

図 10 は、第 3 実施形態の変調器における動作を説明するための周波数特性図であり、

図 11 は、本発明の第 4 実施形態に係る PLL 周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図であり、

5 図 12 は、本発明の第 5 実施形態に係る PLL 周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図であり、

図 13 は、第 5 実施形態の変調器における動作を説明するための周波数特性図であり、

10 図 14 は、従来の PLL 周波数シンセサイザを用いた広帯域変調器の構成例を示すブロック図であり、

図 15 は、本発明者による検討結果を説明するための周波数特性図であり、

図 16 は、本発明者による検討結果を説明するための周波数特性図である。

15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

なお、図中の符号、1 は電圧制御発振器 (VCO)、2 は分周器、3 は位相比較器、4 はチャージポンプ、5 はループフィルタ、6 は PLL (Phase locked loop)、7 は変調データ生成部、8 はプリディストーションフィルタ、9 は加算器、10 は  $\Sigma \Delta$  変調器、11 は A/D 変換器 (ADC)、12 はレジスタ、13 は比較手段、14 はフィルタ特性制御手段、15 はキャリブレーション用データ生成部、16 はセレクタ、17、18 は補正手段、19 は復調器、20 はローパスフィルタ、21 はチャージポンプ電流制御手段、22 はメモリ、23 は誤差検出手段、24 は周波数特性補正手段、25 はセレクタ、26 は変調信号生成部である。

#### < 発明を実施するための最良の形態 >

25 以下、図面を参照して本発明の実施形態を説明する。本実施形態では、例えば移動体通信システムにおける移動無線機や無線基地局装置などに用いられる、PLL 周波数シンセサイザを用いた広帯域変調が可能な変調器の構成例を示す。

#### (第 1 実施形態)

図 1 は本発明の第 1 実施形態に係る PLL 周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図である。また、図 2 及び図 3 はそれぞれ、図 1 に示される変調器におけるキャリブレーション動作を説明するための図である。

第 1 実施形態では、本発明の基本的な構成とその特徴を明確化する。図 1 に示す本実施形態の変調器では、PLL を構成する分周器の分周比を変調し、その変調信号が VCO の制御端子に現れ、その結果として VCO から変調キャリアが出力される。

図 1 に示されるように、PLL 6 は、周波数制御電圧端子に印加される DC 電圧と変調信号に応じて変調されたキャリア（変調キャリア）信号を出力する電圧制御発振器（以下、VCO）1 と、VCO 1 の出力信号の周波数を分周する分周器 2（可変分周器であり、図 1 では、便宜上、分周比を  $1/N$ （N は任意の整数）と記載している）2 と、分周器 2 の出力信号と基準信号との位相を比較して位相差を出力する位相比較器 3 と、位相比較器 3 の出力信号を電圧または電流に変換するチャージポンプ 4 と、チャージポンプ 4 の出力信号を平均化するループフィルタ 5 とを備える。

分周器 2 の分周比は、変調信号 DCR により変調される（つまり、変調信号 DCR 自体が分周比を示している）。この変調信号 DCR は、変調信号生成部 4 2 により生成される。変調信号生成部 4 2 には、セレクタ 4 0 を介して、変調データ生成部 7 からの変調データと、キャリブレーション用データ生成部 1 5 からのキャリブレーション用データのいずれかを選択的に入力することができる。

この変調信号生成部 4 2 は、PLL 6 の周波数特性の逆特性を有し変調データ（またはキャリブレーション用データ）をフィルタリングするプリディストーションフィルタ 8 と、PLL 6 の出力信号周波数を規定する周波数データとプリディストーションフィルタ 8 の出力信号とを加算する加算器 9 と、加算器 9 の出力信号を分周器 2 に設定する分周比に変換して出力する（すなわち、変調信号 DCR を発生する） $\Sigma\Delta$  変調器 1 0 とを備える。

この種の PLL を用いた変調器では、変調精度を確保するために、変調信号 DCR の平均値は小数点以下の値を含む必要がある。これは、一般に知られているフラクショナル-N 技術（fractional-N synthesis technique）により実現可能

である。その際に発生する量子化雑音をノイズシェーピングするために、 $\Sigma\Delta$ 変調器 10 を備えている。

図 1 のように構成された本実施形態の変調器では、変調信号 DCR により、分周器 2 の分周比に変調をかけるため、分周器 2、位相比較器 3、チャージポンプ 4、ループフィルタ 5 を介して VCO 1 の周波数制御端子に変調信号が重畳され、VCO 1 は変調されたキャリア信号を出力する。すなわち、VCO 1 の周波数制御端子に現われる変調信号の電圧振幅が、VCO 1 の出力である変調キャリア信号の最大周波数偏移を表すことになる。

さらに、本実施形態の変調器では、PLL の周波数特性とプリディストーションフィルタ 8 の周波数特性との間のばらつきを補正するために、A/D 変換器 (ADC) 11 と、誤差検出手段 32 と、メモリ 31 と、周波数特性補正手段 33 とが設けられ、また、必要に応じて復調器 18 が設けられる。

図 1 において、破線の矢印は、周波数特性の補正に関連する信号の経路を示している。

キャリアレーション用データとしては、例えば、PLL 6 のカットオフ周波数  $f_c$  よりも低い周波数 ( $f_{CAL}$ : 単一周波数) の第 1 のキャリアレーションデータと、PLL 6 のカットオフ周波数よりも高い周波数 ( $f_{BW}$ : 単一周波数) の第 2 のキャリアレーションデータとが使用される。

第 1 のキャリアレーション用データを、セレクト 40 を介して変調信号生成部 42 に入力すると、その第 1 のキャリアレーション用データが示す周波数  $f_{CAL}$  (PLL 6 のカットオフ周波数未満) の AC (交流) 成分が、ループフィルタ 5 の出力信号に現われる。この AC 成分の振幅値を A/D 変換器 11 によりデジタル値に変換し、メモリ 31 に取り込んで一時的に記憶する。

次に、第 2 のキャリアレーション用データを、セレクト 40 を介して変調信号生成部 42 に入力すると、同様に、その第 2 のキャリアレーション用データが示す周波数  $f_{BW}$  (PLL 6 のカットオフ周波数を超えている) の AC 成分が、ループフィルタ 5 の出力信号に現われる。このループフィルタ 5 の出力信号の振幅値を、A/D 変換器 11 によりデジタル値に変換し、誤差検出手段 32 に送る。

誤差検出手段 3 2 では、メモリ 3 1 に格納されている周波数  $f_{CAL}$  の AC 成分の振幅値のデータを取り出し、送られてきた周波数  $f_2$  の AC 成分の振幅値のデータとを比較する。

ここで、キャリブレーション用データについては、予めプリディストーション  
5 フィルタ 8 によって、PLL 6 のカットオフ周波数を超える変調帯域部分のゲインを増大させる処理がなされているため、理想的には、PLL 6 のカットオフ周波数の前後でゲインの直線性は確保されているはずである。

したがって、理論上は、ループフィルタ 5 の出力信号に現われる周波数  $f_2$  の AC 成分の振幅値は、先の周波数  $f_{CAL}$  の AC 成分の振幅値と一致するはずである  
10 。しかし、現実には、回路部品の製造ばらつき等に起因して、PLL 6 の周波数特性が変化するため、誤差が生じる。

上述のとおり、VCO 1 の周波数制御端子に現われる変調信号の電圧振幅が、VCO 1 の出力である変調キャリア信号の最大周波数偏移を表すことになる。よって、VCO 1 の周波数制御端子に現れる周波数  $f_{CAL}$ 、 $f_{BW}$  の AC 成分の電圧振  
15 幅値の差は、変調誤差となり、変調精度の低下に直結する。

誤差検出手段 3 2 は、周波数  $f_{CAL}$ 、 $f_{BW}$  に対応する AC 成分の電圧振幅値の差分（誤差）を検出する。これにより、PLL 6 のカットオフ周波数を境にして周波数スペクトラムのゲイン特性に、どの程度の差が生じているかを検出することができる。

20 誤差検出手段 3 2 による誤差検出の結果は、周波数特性補正手段 3 3 に与えられる。周波数特性補正手段 3 3 は、ゲインの差を補正するための制御信号 FCR を生成する。この制御信号 FCR は、プリディストーションフィルタ 8、あるいは、PLL 6 の構成要素であるチャージポンプ 4 に与えられる。

その結果として、プリディストーションフィルタ 8 の周波数特性（カットオフ周  
25 波数）、あるいはチャージポンプ 4 の電流量が変化する。チャージポンプ 4 の電流量の変化により、PLL 6 のカットオフ周波数が変化する。

このようにして、PLL のカットオフ周波数を超える周波数帯域（変調帯域）においても、フラットなゲイン特性が実現される。



また、ループフィルタ 5 の出力に現われる変調信号 DCR の AC 成分は、VCO 1 の出力信号（周波数変調信号）を復調することで再生可能である。したがって、ループフィルタ 5 の出力信号を直接 A/D 変換器 11 に入力する代わりに、VCO 1 の出力信号を復調器 18 で復調し、その復調信号を A/D 変換器 11 に  
5 入力しても、同様の周波数特性の補正を行うことができる。

以上の第 1 実施形態の動作を図 2 及び図 3 を参照して具体的に説明する。

キャリブレーションを行う前に、まず、図 2 のように、変調信号生成部 42 に周波数データ ( $f_1$ ) を与え（このとき、変調はしない）、PLL 6 をロックして、VCO 1 から周波数  $f_1$  のキャリアを出力する。

10 次に、図 3 のように、キャリブレーション動作を行う。

まず、キャリブレーション用データ生成部 15 から、第 1 のキャリブレーションデータ (PLL 6 のカットオフ周波数  $f_c$  未満の周波数である  $f_{CAL}$  の情報を持つ) を発生させて、プリディストーションフィルタ 8 に入力する。この場合、PLL 6 のカットオフ周波数  $f_c$  未満の周波数であるから、特に、増幅処理は行われず、第 1 のキャリブレーション信号（信号振幅「S」とする）が出力される。  
15

この第 1 のキャリブレーション信号により分周器 2 の分周比が変調される。上述のとおり、この変調信号 DCR の成分が、VCO 1 の周波数制御端子に現れる。この変調信号 DCR の成分 (AC 成分) の信号振幅は「S」である。

次に、同様に、キャリブレーション用データ生成部 15 から、第 2 のキャリブレーションデータ (PLL 6 のカットオフ周波数  $f_c$  を超える  $f_{BW}$  の情報を持つ) を発生させて、プリディストーションフィルタ 8 に入力する。プリディストーションフィルタ 8 は、PLL 6 における信号振幅の低下を補償するように、信号振幅を「S」から「W」に伸張（増幅）する。  
20

この第 2 のキャリブレーション信号は、 $\Sigma \Delta$  変調器 10 を経て、より細かな階調の信号となり（これが変調信号 DCR である）、この信号により分周器 2 の分周比が変調される。  
25

そして、この変調信号 DCR の成分が、VCO 1 の周波数制御端子に現れる。この変調信号 DCR の成分 (AC 成分) の信号振幅は、理想的には「S」であるが、PLL の周波数特性の変化により、実際の振幅は「S」とはならない。

誤差検出手段 3 2 は、各振幅値の差分を検出し、この差分を解消する方向に、PLL 6 もしくはプリディストーションフィルタ 8 の周波数特性（具体的には、カットオフ周波数）を変更する。

以上の動作により、本実施形態では、PLL のカットオフ周波数を超える周波数帯域（変調帯域）においても、フラットなゲイン特性が実現され、常に、高精度の広帯域変調を行うことができる。

#### （第 2 実施形態）

図 4 は本発明の第 2 実施形態に係る PLL 周波数シンセサイザを用いた広帯域変調器の構成を示すブロック図である。図 4 の構成において、図 1 に示される部分と同一の構成要素には、原則として同一の符号を付してある。

第 2 実施形態の変調器は、ループフィルタ 5 の出力信号を入力とし、プリディストーションフィルタに、周波数特性を補正するための制御信号を出力する補正手段 2 7 を備えている。補正手段 2 7 は、例えば、アナログ信号をデジタル値に変換する A/D 変換器（ADC）1 1 と、A/D 変換器 1 1 の出力信号を格納するレジスタ 1 2 と、レジスタ 1 2 に格納されたデータと A/D 変換器 1 1 の出力信号を比較する比較手段 1 3 と、比較手段 1 3 の出力信号に基づいてプリディストーションフィルタ 8 の特性を制御するフィルタ特性制御手段 1 4 とを備えている。

また、第 2 実施形態では、キャリブレーション用データ生成部 1 5 と、変調データ生成部 7 と、キャリブレーション制御信号に基づいてキャリブレーション用データ生成部 1 5 と変調データ生成部 7 の出力信号を選択してプリディストーションフィルタ 8 へ出力するセレクタ（選択用のスイッチ）1 6 とを備えている。

なお、フィルタ特性制御手段 1 4 の構成は特に限定されるものではないが、本実施形態では図 4 のように、フィルタ特性制御手段 1 4 は、制御データを格納した ROM（ルックアップテーブル）2 4 を備えている。

次に、第 2 実施形態の変調器の動作を説明する。ここで、第 2 実施形態の変調器は、図 1 6 に示したように、PLL 6 の周波数特性とプリディストーションフィルタ 8 の周波数特性にずれが生じているものとする。

周波数データが更新されると、一般に知られたPLLの動作と同様にVCO1の出力周波数は目標周波数に変更される。この周波数変更直後の位相ロック後に、図16の特性C<sub>x</sub>に示した周波数特性のずれを補正するためのキャリブレーション動作を行う。

5 図5～図7は、キャリブレーション動作を説明する周波数特性図である。

位相ロック後に、キャリブレーション用データ生成部15は、図5に示すようにPLLの周波数特性のカットオフ周波数よりも低い周波数（ここでは $f_{CAL}$ ）の信号を出力する。このとき、ループフィルタ5の製造ばらつきにより発生し得るカットオフ周波数の変化よりも低い周波数に $f_{CAL}$ を設定しておく。

10  $f_{CAL}$ の周波数成分は、PLL6の周波数帯域内であるためループフィルタ5の出力に現れる。この周波数 $f_{CAL}$ のAC成分の振幅をA/D変換器11でデジタル値に変換しレジスタ12に格納する。なお、図5及び図6において、ばらつきがある場合のPLL6の周波数特性をA1、プリディストーションフィルタ8の周波数特性をB1、合成後の周波数特性をC1とする。

15 次に、キャリブレーション用データ生成部15は、図6に示すように、変調帯域幅（の上限値）に相当する周波数（ここでは $f_{BW}$ ）の信号を出力する。この周波数 $f_{BW}$ のAC成分の振幅を再びA/D変換器11でデジタル値に変換し比較手段13に出力する。比較手段13では、レジスタ12に格納されている周波数 $f_{CAL}$ の振幅レベルと比較し比較結果を出力する。

20 図15に示したように、PLL6の周波数特性Aとプリディストーションフィルタ8の周波数特性Bにずれが無ければ、比較誤差は0になり、合成後の周波数特性Cはフラットになるが、図16のように周波数特性にずれが生じている場合は、比較誤差が生じる。

ここで、図6のように、PLLの周波数特性A1が周波数が低い側にばらついた場合（図15ではカットオフ周波数は $f_c$ であり、図6では、より低い周波数である $f_{cx}$ に変化している）には、周波数 $f_{BW}$ のAC成分の値は、レジスタ12に格納されている周波数 $f_{CAL}$ のAC成分の値よりもDGだけ小さくなる。

図8に、PLLのカットオフ周波数を超える変調信号成分の振幅値と、超えない変調信号成分の振幅値との間に差が生じている様子を示す。図8において、時

刻  $t_1$  以前は、 $f_{CAL}$ の変調信号成分（AC成分）が出力されており、時刻  $t_1$  の後は、 $f_{BW}$ の変調信号成分（AC成分）が出力されているものとする。図8においては、振幅値（ピーク値）にDHだけ差が生じている。

また、反対に、PLLの周波数特性が周波数が高い側にばらついた時は周波数  
5  $f_{BW}$ のAC成分の値はレジスタ12に格納されている周波数  $f_{CAL}$ のAC成分の値よりも大きくなる。このとき、フィルタ特性制御手段14は、比較手段13から出力される比較結果が0になるように、プリディストーションフィルタ8のカットオフ周波数を変化させる。

そして、図7に示すように、比較結果が0になったところでキャリブレーションを終了する。続いて、変調データ生成部7から変調データが出力され、プリディ  
10 ストーションフィルタ8に供給される。そして、ばらつきがある場合のPLL6の周波数特性A1と補正後のプリディストーションフィルタ8の周波数特性B2とを合成することで、合成後の周波数特性C2をフラットにすることができる。

15 このように、第2実施形態によれば、PLLの周波数特性にばらつきが生じても、プリディストーションフィルタ8のカットオフ周波数を変化させてばらつきを補正するため、変調精度の劣化を防止できる。

また、キャリブレーション信号が変調信号ではなく単一トーン（単一の周波数）の信号であるため、精度良く比較できる。すなわち補正誤差を小さくすること  
20 ができるため、変調精度を良くすることができる。

また、位相ロック後にキャリブレーションを行うため、VCO1が、発振周波数に対して制御感度（周波数制御端子に印加する電圧に対する発振周波数の関係で単位はHz/V）が変化する場合でも、キャリブレーションにより吸収することができる。これにより変調精度を良くできるという効果も得られる。

25 なお、上記説明では、ループフィルタ5の出力をA/D変換器11でデジタル値に変換した後、レジスタ12、比較手段13、フィルタ特性制御手段14を用いてプリディストーションフィルタ8を制御する信号を生成したが、同様の機能の補正手段であれば別の構成でも実現できる。

また、フィルタ特性制御手段 14 は、プリディストーションフィルタ 8 のカットオフ周波数を変える制御データを格納した ROM (ルックアップテーブル) を備えたものとする事により、プリディストーションフィルタ 8 の制御が容易になり、回路規模を小さくすることができ低コスト化が図れる。なお、フィルタ特性

5 制御手段 14 の構成は、ROM を有する構成に限定されるものではない。

また、キャリブレーション信号は変調信号ではなく単一トーンの信号であるため、ループフィルタ 5 と A/D 変換器 11 の間の接続を交流結合 (AC 結合) としてもよい。例えば、周波数  $f_{CAL}$  の信号が通過するハイパスフィルタで交流結合すれば、ループフィルタ 5 の出力の直流成分 (DC 成分) に A/D 変換器 11 の

10 ビット数を割り付ける必要が無くなるため、キャリブレーション信号の振幅測定精度が向上する。また、A/D 変換器 11 のビット数を削減することで低コスト化を図ることができる。

また、プリディストーションフィルタの特性を変化させてキャリブレーションを終了した後は、次に周波数データが更新されるまで、A/D 変換器 11 の動作

15 を停止させても良い。これにより、低消費電力化を図ることができる。

また、プリディストーションフィルタは IIR フィルタが望ましい。この場合、PLL の振幅と位相の周波数特性をデジタルフィルタで実現できるため、変調精度を良くすることができる。

また、キャリブレーション信号として、例えば変調信号のような単一トーンでない信号を用いる場合でも、ループフィルタ 5 の出力信号を用いてプリディストーションフィルタ 8 の周波数特性を変えられる補正手段を備えるようにすれば実現可能である。

20

### (第 3 実施形態)

25 図 9 は本発明の第 3 実施形態に係る PLL シンセサイザを用いた広帯域変調器の構成を示すブロック図である。

第 3 実施形態は、補正手段 17 において、フィルタ特性制御手段 14 の代わりに、比較手段 13 の出力に応じてチャージポンプ 4 の電流ゲインを制御するチャージポンプ電流制御手段 20 を備えた構成となっている。また、この場合、チャ

ージポンプ4は電流出力型で構成する。その他の構成は図4に示した第2実施形態と同様である。

この第3実施形態では、キャリブレーション用データ生成部15が、図6に示すように変調帯域幅に相当する周波数（ここでは $f_{BW}$ ）の信号を出力し、比較手段13が、A/D変換器11とレジスタ12の出力を比較して比較結果を出力するところまでは、第2実施形態と動作が同じである。

チャージポンプ4の電流ゲインを変化させると、PLL6の周波数特性を変化させることができる。チャージポンプ電流制御手段20は、比較手段13から出力される比較結果が0になるようにチャージポンプ4の電流ゲインを変化させてPLL6の周波数特性を補正する。この結果、図10に示すように、比較結果が0になったところでキャリブレーションを終了し、キャリブレーション制御信号により変調データ生成部7から出力される変調信号をプリディストーションフィルタ8に入力する。そして、補正後のPLL6の周波数特性A2とプリディストーションフィルタ8の周波数特性B1とを合成することで、合成後の周波数特性C2をフラットにすることができる。

このように、第3実施形態によれば、PLL帯域にばらつきが生じてても、チャージポンプの電流を制御することによりPLLの周波数特性を変化させてばらつきを補正するため、変調精度の劣化を防止できる。

また、チャージポンプ4の電流ゲインを可変させるための回路増加よりも、プリディストーションフィルタ8の特性を固定とすることによる回路縮小の方が効果が大きく、回路規模縮小による低コスト化が図れる。

なお、上記説明では、ループフィルタ5の出力をA/D変換器11でデジタル値に変換した後、レジスタ12、比較手段13、チャージポンプ電流制御手段20を用いてチャージポンプ4を制御する信号を生成したが、同様の機能の補正手段であれば別の構成でも実現できる。

また、チャージポンプ電流制御手段20は、チャージポンプ4の電流ゲインを変える制御データを格納したROMを備えていてもよい。この場合、チャージポンプ4の制御が容易になり、回路規模を小さくすることができ低コスト化が図れる。

また、第3実施形態のチャージポンプ電流制御手段20と第2実施形態のフィルタ特性制御手段14の両方を備え、それぞれチャージポンプ4の電流ゲインとプリディストーションフィルタ8のカットオフ周波数を制御する構成としても良い。

- 5      この場合、PLLの周波数特性とプリディストーションフィルタの周波数特性を同時に変えられるので、キャリブレーション精度が向上し変調精度を良くすることができる。

また、キャリブレーション信号として、例えば変調信号のような単一トーンでない信号を用いる場合でも、ループフィルタ5の出力信号を用いてチャージポン  
10      プ4の電流ゲインを変えられる補正手段を備えるようにすれば実現可能である。

#### (第4実施形態)

図11は本発明の第4実施形態に係るPLLシンセサイザを用いた広帯域変調器の構成を示すブロック図である。

- 15      第4実施形態は、ループフィルタ5の出力信号をA/D変換器11の入力とする代わりに、VCO1の出力信号を復調する復調器18を備え、復調器18の出力をA/D変換器11の入力とする構成となっている。その他の構成は図4に示した第2実施形態と同様である。

この第4実施形態では、キャリブレーション信号は、復調器18により復調で  
20      きる。その復調信号をA/D変換器11に入力することで、前述の第2実施形態と同様にキャリブレーションを行うことができる。

なお、プリディストーションフィルタの特性を変化させてキャリブレーションを終了した後は、次に周波数データが更新されるまで、復調器18の動作を停止させても良い。これにより、低消費電力化を図ることができる。

- 25      このように、第4実施形態によれば、PLLの周波数特性にばらつきが生じても、プリディストーションフィルタ8のカットオフ周波数を変化させてばらつきを補正するため、変調精度の劣化を防止できる。

なお、図 9 に示した第 3 実施形態において、ループフィルタ 5 の出力信号を A/D 変換器 11 の入力とする代わりに、VCO 1 の出力信号を復調する復調器 18 を設ける構成としても、同様の効果を得ることができる。

## 5 (第 5 実施形態)

図 12 は本発明の第 5 実施形態に係る PLL シンセサイザを用いた広帯域変調器の構成を示すブロック図である。

第 5 実施形態は、PLL 33 において、ローパスフィルタ 19 を備えた構成となっている。すなわち、PLL 33 は、ループフィルタ 5 の出力をローパスフィルタ 19 を介して VCO 1 の周波数制御端子に入力するようになっている。その他の構成は図 4 に示した第 2 実施形態と同様である。

プリディストーションフィルタ 8 は、第 2 実施形態と同様に、ループフィルタ 5 の逆特性の周波数特性を持つものとする。ローパスフィルタ 19 のカットオフ周波数は変調帯域よりも高くしている。

図 13 に第 5 実施形態の変調器における周波数特性を示す。PLL 33 の周波数特性 A3 は、ローパスフィルタ 19 の特性と合成されるため、変調帯域の周波数  $f_{BW}$  を越えたところで減衰する傾きが急になる。従って、プリディストーションフィルタ 8 の周波数特性 B2 と合成した合成後の周波数特性 C3 は、 $f_{BW}$  を越えたところで減衰量が増加する。

このように、第 5 実施形態によれば、PLL 33 がローパスフィルタ 19 を備えることにより、変調帯域よりも高い周波数帯域のノイズ特性を向上させることができる。

なお、前述した第 1 ～第 4 実施形態の各々にローパスフィルタ 19 を追加しても、同様の効果を得ることができる。

上述したように、本実施形態では、製造ばらつき等によって周波数特性が変化した場合でも、PLL またはプリディストーションフィルタの少なくとも一方の周波数特性を変更して補正することにより、PLL のカットオフ周波数を超える周波数帯域においてもフラットなゲイン特性が実現できる。これにより、製造ば



らつき等があった場合でも変調精度の劣化を防止でき、常に高精度の広帯域変調を行うことができる。

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にと

5 って明らかである。

本出願は、2003年1月8日出願の日本特許出願No.2003-002501に基づくものであり、その内容はここに参照として取り込まれる。

#### <産業上の利用可能性>

10 以上説明したように、本発明によれば、製造ばらつき等があった場合でも、変調精度の劣化を防ぐことができるPLL周波数シンセサイザを用いた広帯域変調が可能な変調器を提供することができる。

15

## 請 求 の 範 囲

1. 電圧制御発振器と分周器と位相比較器とを有してなるPLLを備え、このPLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データに基づいて
- 5 変調信号を生成し、この変調信号により前記分周器の分周比を設定し、前記電圧制御発振器から変調されたキャリア信号を出力させると共に、前記変調信号の生成過程において、前記変調データに対してプリディストーションフィルタによるフィルタリング処理を行って前記PLLの周波数特性とは逆の周波数特性を付与し、これによって広帯域変調を可能とした変調器であって、
- 10 前記電圧制御発振器の制御端子に現われる前記変調信号の交流成分に関して、前記PLLのカットオフ周波数以下の周波数における振幅値と、前記カットオフ周波数より高い周波数における振幅値との差分を検出する誤差検出手段と、
- 検出された前記差分を解消する方向に、前記PLLの周波数特性と前記プリディストーションフィルタの周波数特性の少なくとも一方を補正する周波数特性補
- 15 正手段と、
- を備えた変調器。
2. 前記変調データとして、前記PLLのカットオフ周波数以下の周波数の第1のキャリアレーション用データと、前記カットオフ周波数より高い周波数の第2のキャリアレーション用データとを選択的に入力するためのセレクタを備
- 20 えた請求の範囲第1項に記載の変調器。
3. 変調されたキャリア信号を出力する電圧制御発振器と、変調された分周比で前記電圧制御発振器の出力信号の周波数を分周し出力する分周器と、前記
- 25 分周器の出力信号と基準信号の位相とを比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号を電圧または電流に変換するチャージポンプと、前記チャージポンプの出力信号に対し低域通過フィルタリングして前記電圧制御発振器へ出力するループフィルタとを備えたPLLと、

前記PLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データを生成し出力する変調データ生成部と、

近似された前記PLLの周波数特性の逆の特性を有し前記変調データをフィルタリングするプリディストーションフィルタと、

- 5 前記プリディストーションフィルタの出力を変調して前記分周器の分周比を設定するための変調信号として出力する分周比変調手段と、

前記プリディストーションフィルタの周波数特性を変化させるための制御信号を出力するプリディストーションフィルタ周波数特性補正手段と、

を備えた変調器。

10

4. 前記PLLの周波数帯域内の周波数情報を持つ第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部を備えると共に、

- 15 前記プリディストーションフィルタ周波数特性補正手段は、

前記第1および第2のキャリブレーション用データのそれぞれに対応して前記ループフィルタの出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、

- 20 前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、

前記比較手段から出力される前記差分情報に応じて前記プリディストーションフィルタの特性を変化させるフィルタ特性制御手段と、

を備えた請求の範囲第3項に記載の変調器。

- 25 5. 前記PLLの周波数帯域内の周波数情報を持つ第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部と、

前記電圧制御発振器の出力を復調する復調器とを備えると共に、

前記プリディストーションフィルタ周波数特性補正手段は、

前記第 1 および第 2 のキャリブレーション用データのそれぞれに対応して前記復調器の出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換する A/D 変換器と、

- 5 前記 A/D 変換器から出力される 2 つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、

前記比較手段から出力される前記差分情報に応じて前記プリディストーションフィルタの特性を変化させるフィルタ特性制御手段と、

を備えた請求の範囲第 3 項に記載の変調器。

10

6. 変調されたキャリア信号を出力する電圧制御発振器と、変調された分周比で前記電圧制御発振器の出力信号の周波数を分周し出力する分周器と、前記分周器の出力信号と基準信号の位相とを比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号を電圧または電流に変換するチャージポンプと、  
15 、前記チャージポンプの出力信号に対し低域通過フィルタリングして前記電圧制御発振器へ出力するループフィルタとを備えた PLL と、

前記 PLL の周波数帯域幅よりも広い帯域幅の情報を持つ変調データを生成し出力する変調データ生成部と、

- 20 近似された前記 PLL の周波数特性の逆の特性を有し前記変調データをフィルタリングするプリディストーションフィルタと、

前記プリディストーションフィルタの出力を変調して前記分周器の分周比を設定するための変調信号として出力する分周比変調手段と、

前記チャージポンプの電流ゲインを変化させる制御信号を出力する PLL 周波数特性補正手段と、

- 25 を備えた変調器。

7. 前記 PLL の周波数帯域内の周波数情報を持つ第 1 のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第 2 のキャリブレーション

用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部を備えると共に、

前記PLL周波数特性補正手段は、

前記第1および第2のキャリブレーション用データのそれぞれに対応して前記  
5 ループフィルタの出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、

前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、

前記比較手段から出力される前記差分情報に応じて前記チャージポンプの電流  
10 ゲインを変化させるチャージポンプ電流制御手段と、  
を備えた請求の範囲第6項に記載の変調器。

8. 前記PLLの周波数帯域内の周波数情報を持つ第1のキャリブレーション用データと前記周波数帯域外の周波数情報を持つ第2のキャリブレーション用データとを生成して前記プリディストーションフィルタへ出力するキャリブレーション用データ生成部と、  
15

前記電圧制御発振器の出力を復調する復調器とを備えると共に、

前記PLL周波数特性補正手段は、

前記第1および第2のキャリブレーション用データのそれぞれに対応して前記  
20 復調器の出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値をデジタル信号に変換するA/D変換器と、

前記A/D変換器から出力される2つの前記振幅値のデータを比較して、その差分情報を出力する比較手段と、

前記比較手段から出力される前記差分情報に応じて前記チャージポンプの電流  
25 ゲインを変化させるチャージポンプ電流制御手段と、  
を備えた請求の範囲第6項に記載の変調器。

9. 前記フィルタ特性制御手段は、前記プリディストーションフィルタの周波数特性を変更する制御データを格納したメモリを備えた請求の範囲第3項～第5項のいずれかに記載の変調器。

5 10. 前記チャージポンプ電流制御手段は、前記PLLの周波数特性を変更する制御データを格納したメモリを備えた請求の範囲第6項～第8項のいずれかに記載の変調器。

10 11. 前記ループフィルタの出力端と前記電圧制御発振器の入力端との間に、前記変調信号の帯域幅よりも高いカットオフ周波数を持つローパスフィルタを設けた請求の範囲第3項～第10項のいずれかに記載の変調器。

12. 前記第1および第2のキャリブレーション用データは、単一の周波数情報を持つ請求の範囲第4、5、7、8～11項のいずれかに記載の変調器。

15

13. 前記プリディストーションフィルタ周波数特性補正手段において、前記比較手段は、前記電圧制御発振器の出力周波数を変更した直後に、前記第1および第2のキャリブレーション用データのそれぞれに対応して前記ループフィルタの出力に現われる、前記分周比変調手段による変調された分周比の交流成分の振幅値を比較し、

20

前記フィルタ特性制御手段は、前記比較結果に応じて前記プリディストーションフィルタの特性を変化させる請求の範囲第4、5、9項のいずれかに記載の変調器。

25 14. 前記ループフィルタと前記A/D変換器とを交流結合する請求の範囲第4項または第7項に記載の変調器。

15. 前記プリディストーションフィルタの特性を変化させた後に前記A/D変換器の動作を停止する請求の範囲第4項または第5項に記載の変調器。

16. 前記プリディストーションフィルタの特性を変化させた後に前記復調器の動作を停止する請求の範囲第5項に記載の変調器。

5 17. 前記プリディストーションフィルタを、IIR型のデジタルフィルタで構成する請求の範囲第3項～第16項のいずれかに記載の変調器。

18. 請求の範囲第1項～第17項のいずれかに記載の変調器を備えた移動無線機。

10

19. 請求の範囲第1項～第17項のいずれかに記載の変調器を備えた無線基地局装置。

20. PLLの周波数帯域幅よりも広い帯域幅の情報を持つ変調データに基づいて変調信号を生成し、この変調信号により前記PLLを構成する分周器の分周比を設定し、前記PLLを構成する電圧制御発振器から変調されたキャリア信号を出力させると共に、前記変調信号の生成過程において、前記変調データに対してプリディストーションフィルタによるフィルタリング処理を行って前記PLLの周波数特性とは逆の周波数特性を付与し、これによって広帯域変調を可能とした変調器の補正方法であって、

15 20

前記電圧制御発振器の制御端子に現われる前記変調信号の交流成分に関して、前記PLLのカットオフ周波数以下である第1のキャリブレーション周波数における振幅値と、前記カットオフ周波数より高い第2のキャリブレーション周波数における振幅値との差分を検出する誤差検出ステップと、

25 検出された前記差分を解消する方向に、前記PLLの周波数特性と前記プリディストーションフィルタの周波数特性の少なくとも一方を補正する周波数特性補正ステップと、

を有する変調器の補正方法。

図 1

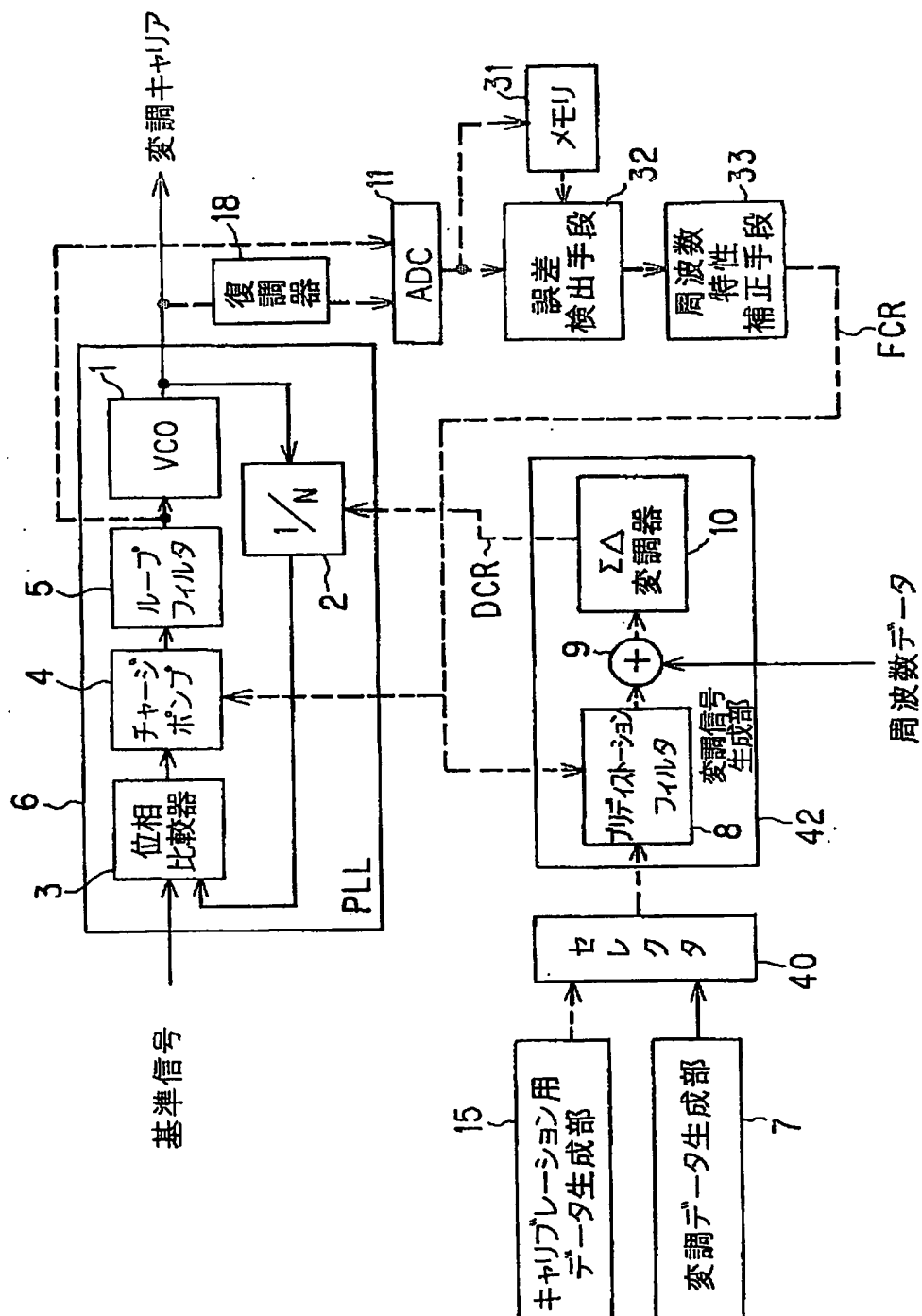




図 2

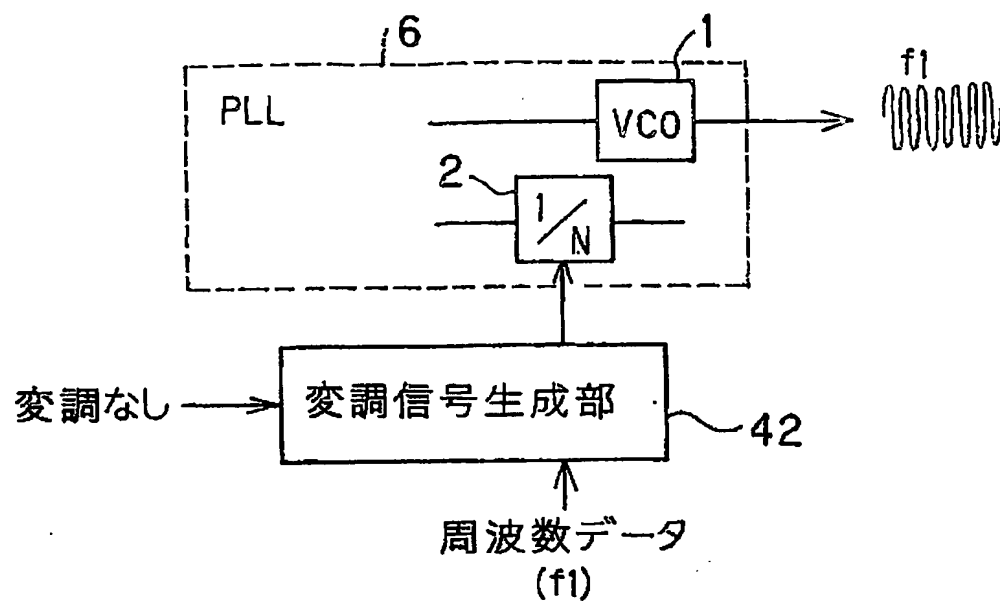


図 3

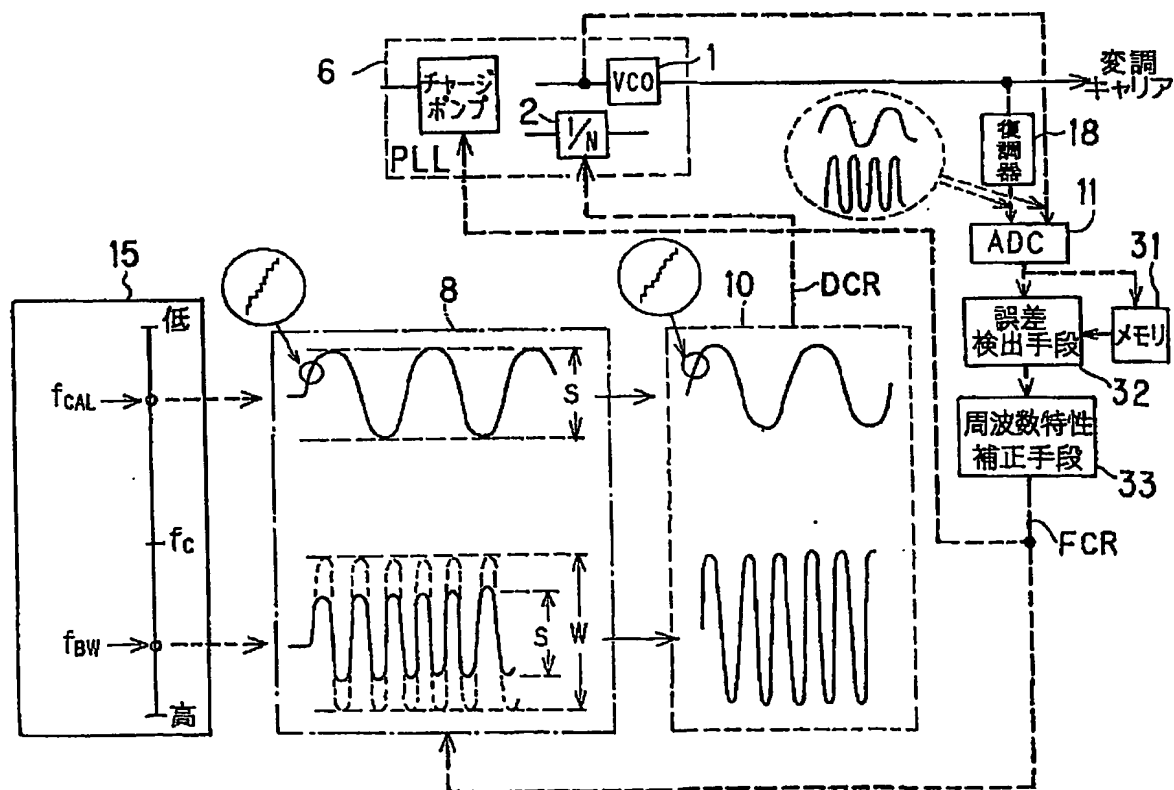


図 4

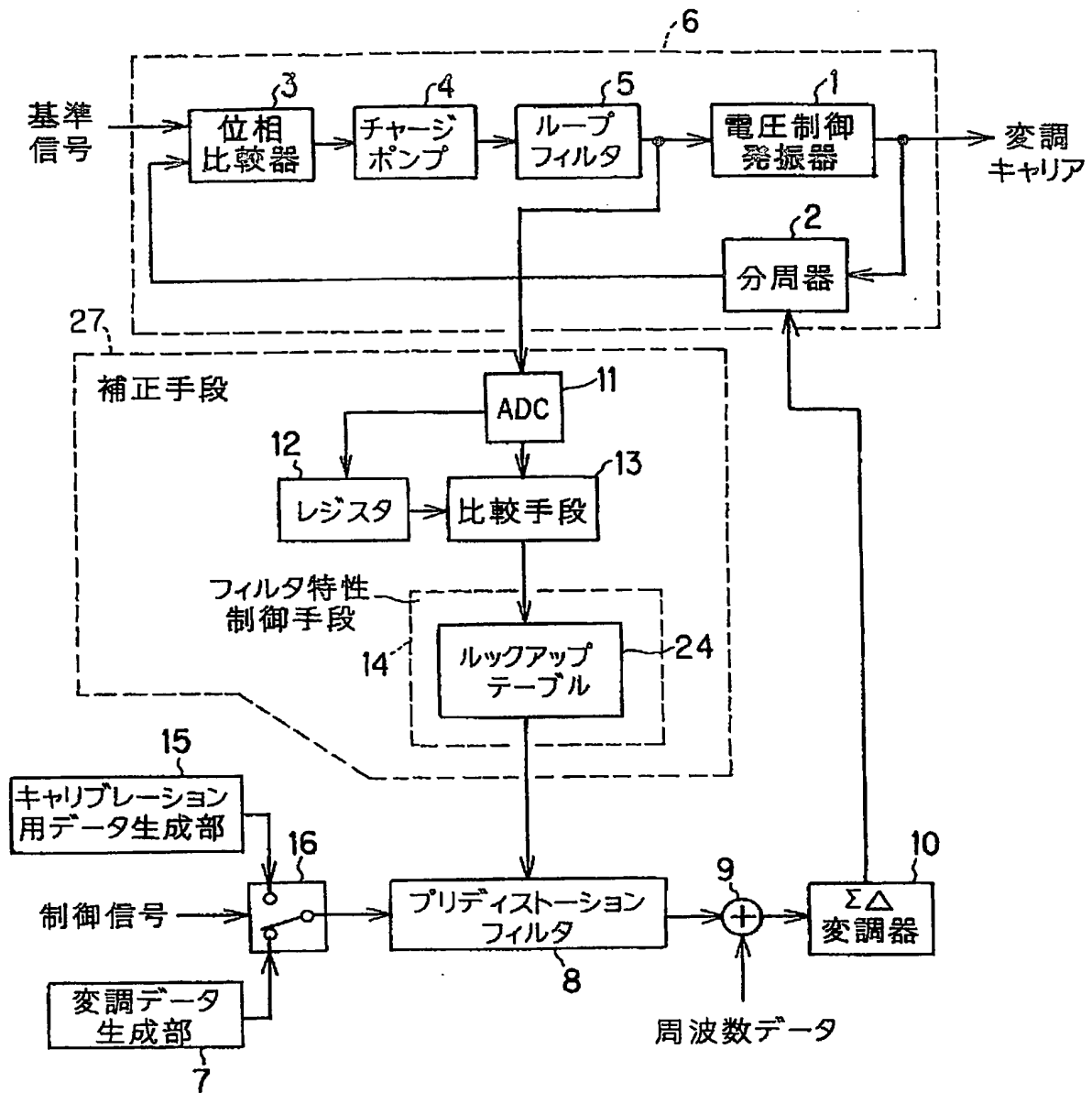


図 5

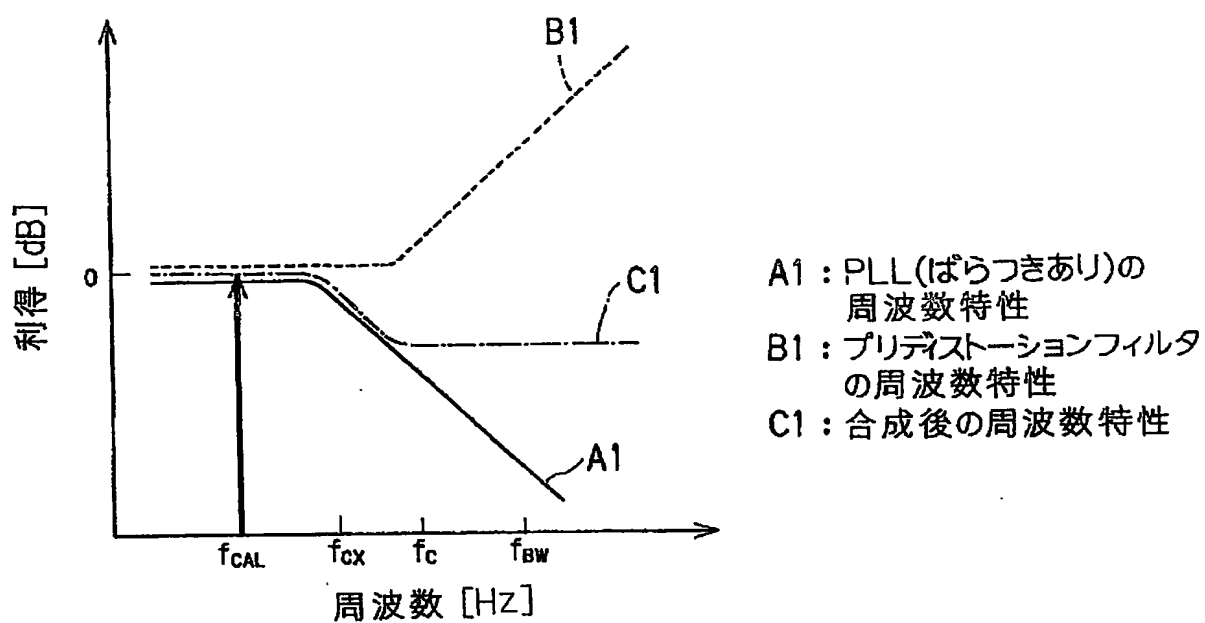


図 6

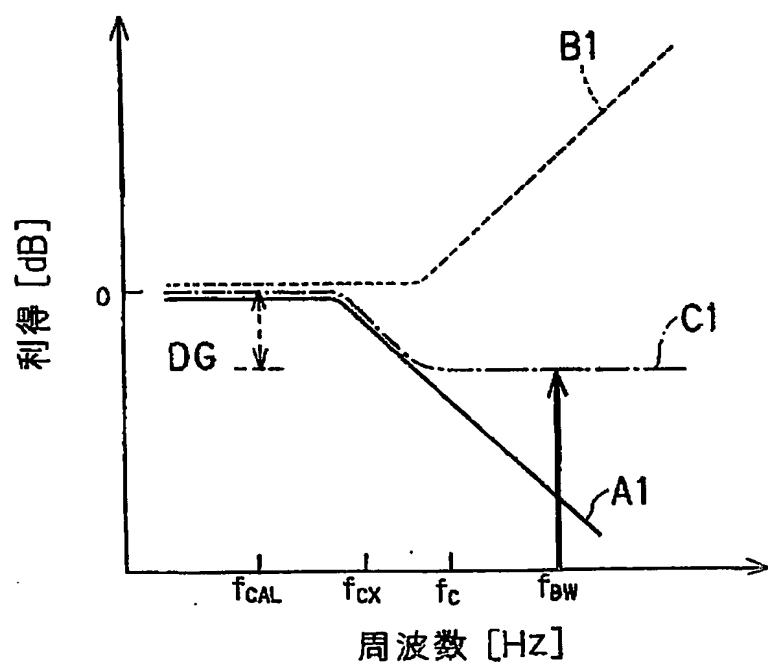
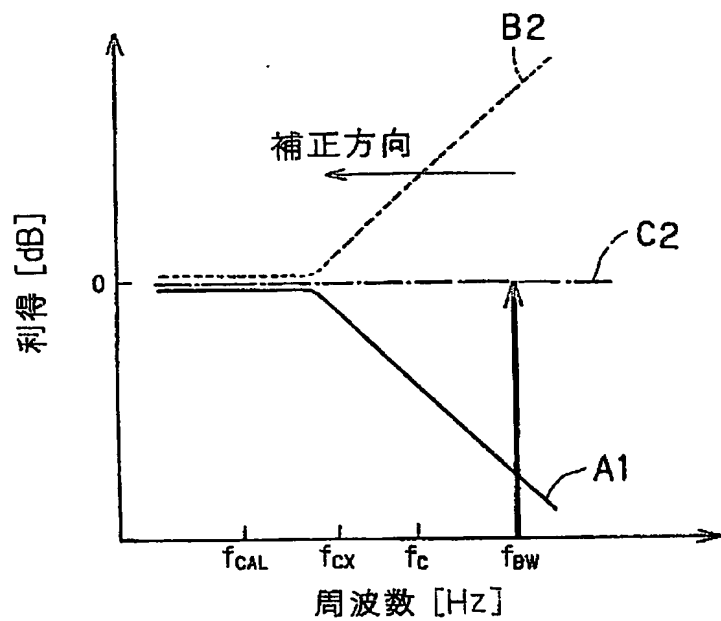


図 7



B2 : 補正後のプリディストーションフィルタの周波数特性

C2 : 合成後の周波数特性

図 8

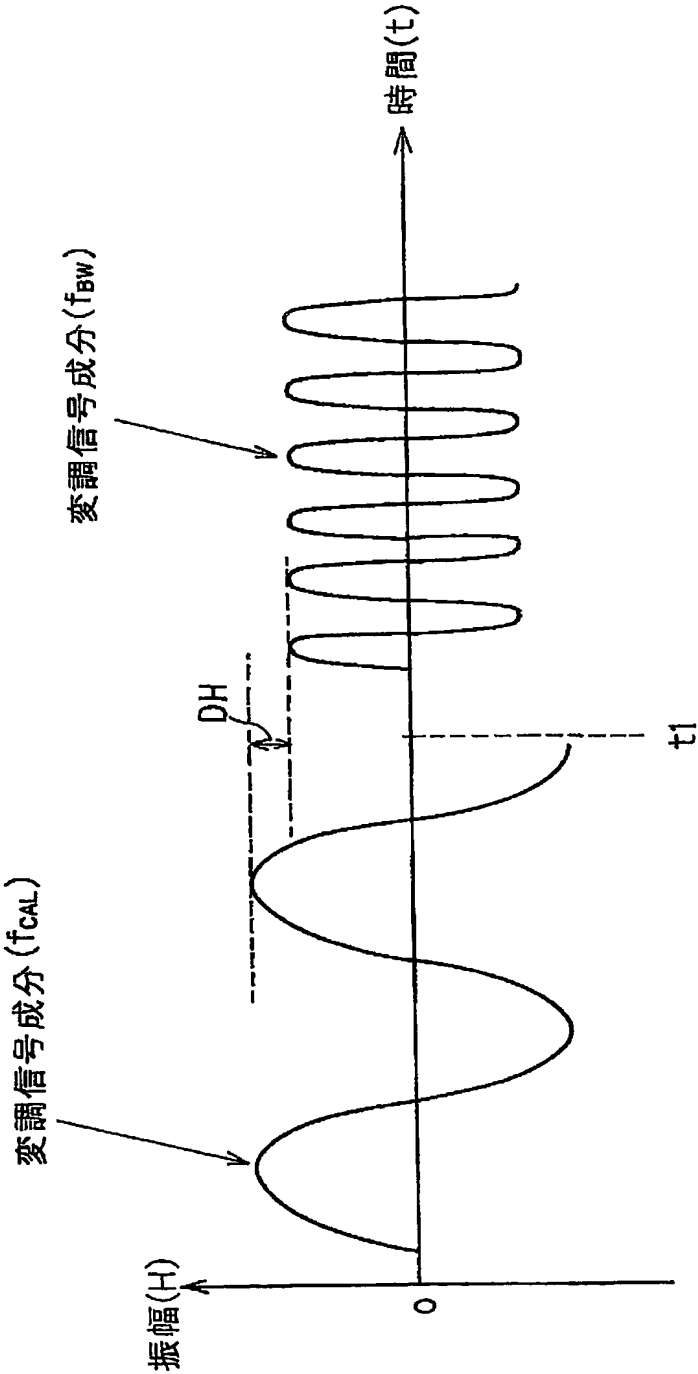


図 9

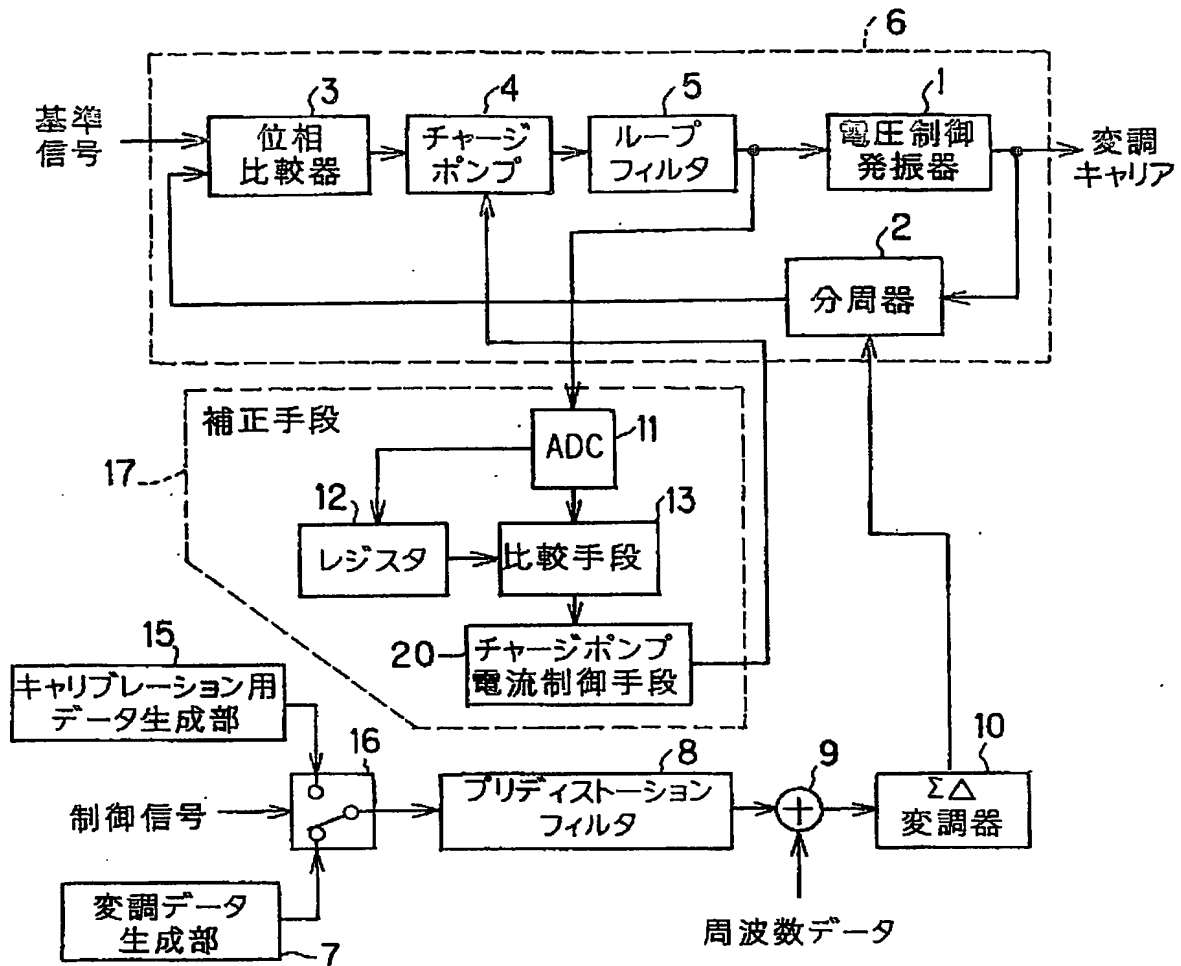


図 10

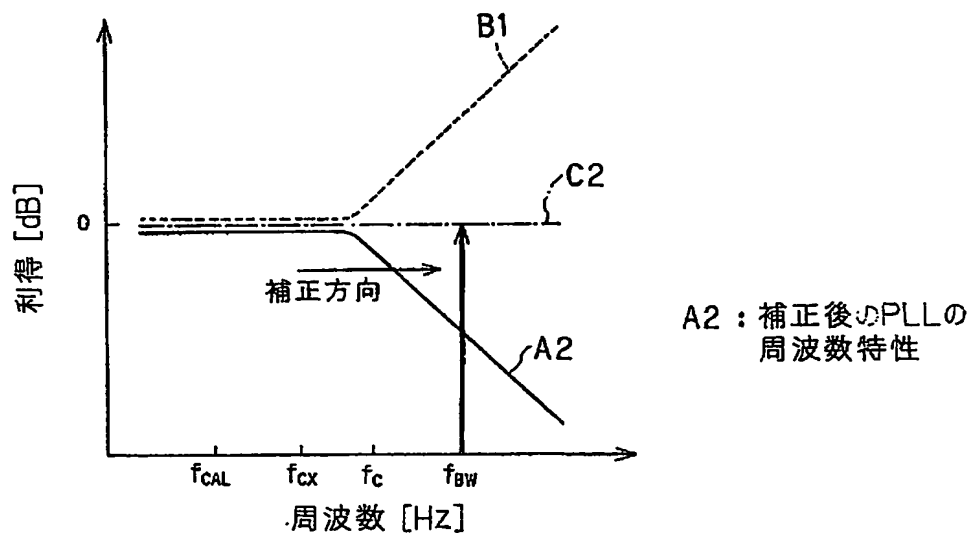


図 1 1

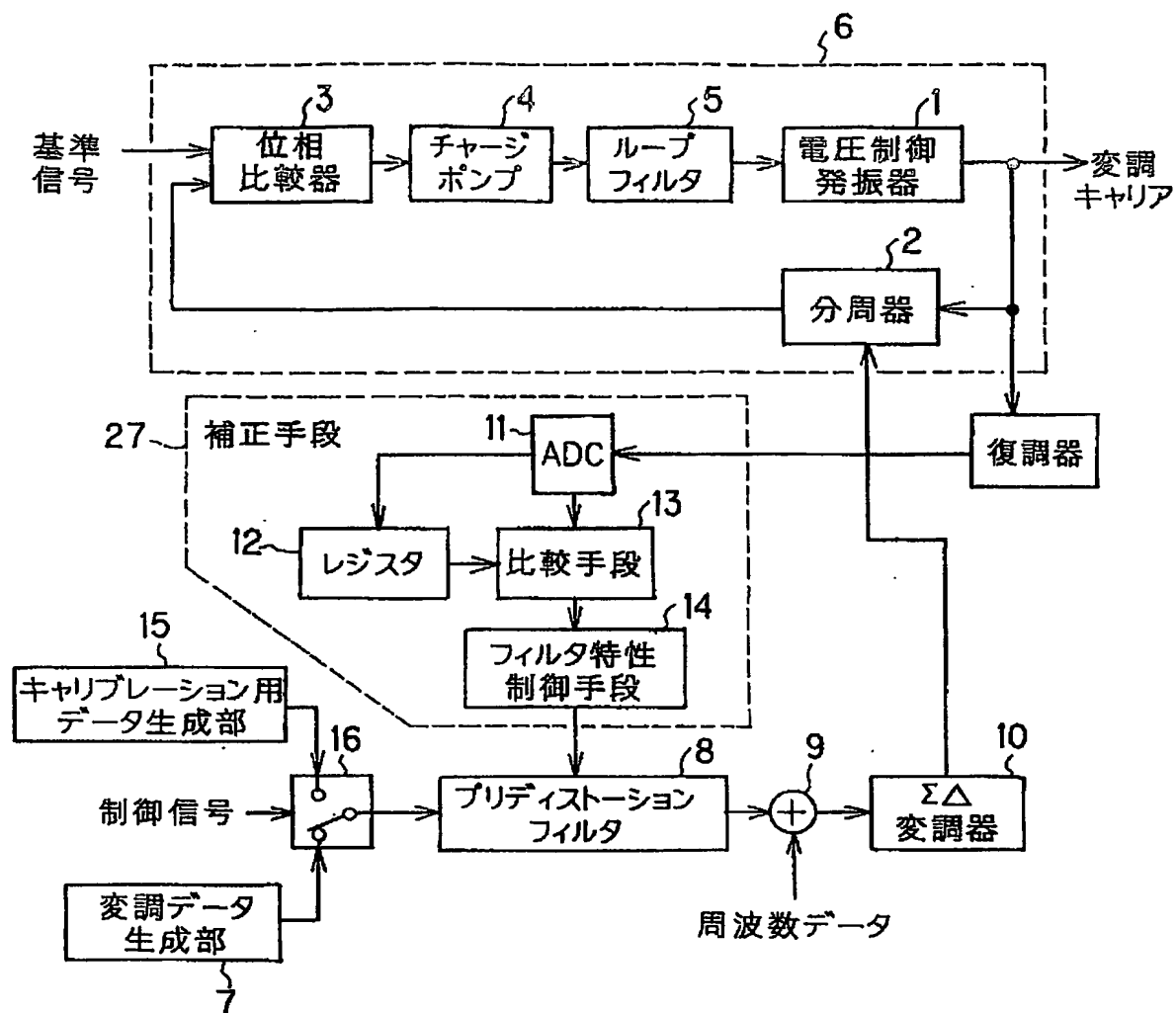


図 1 2

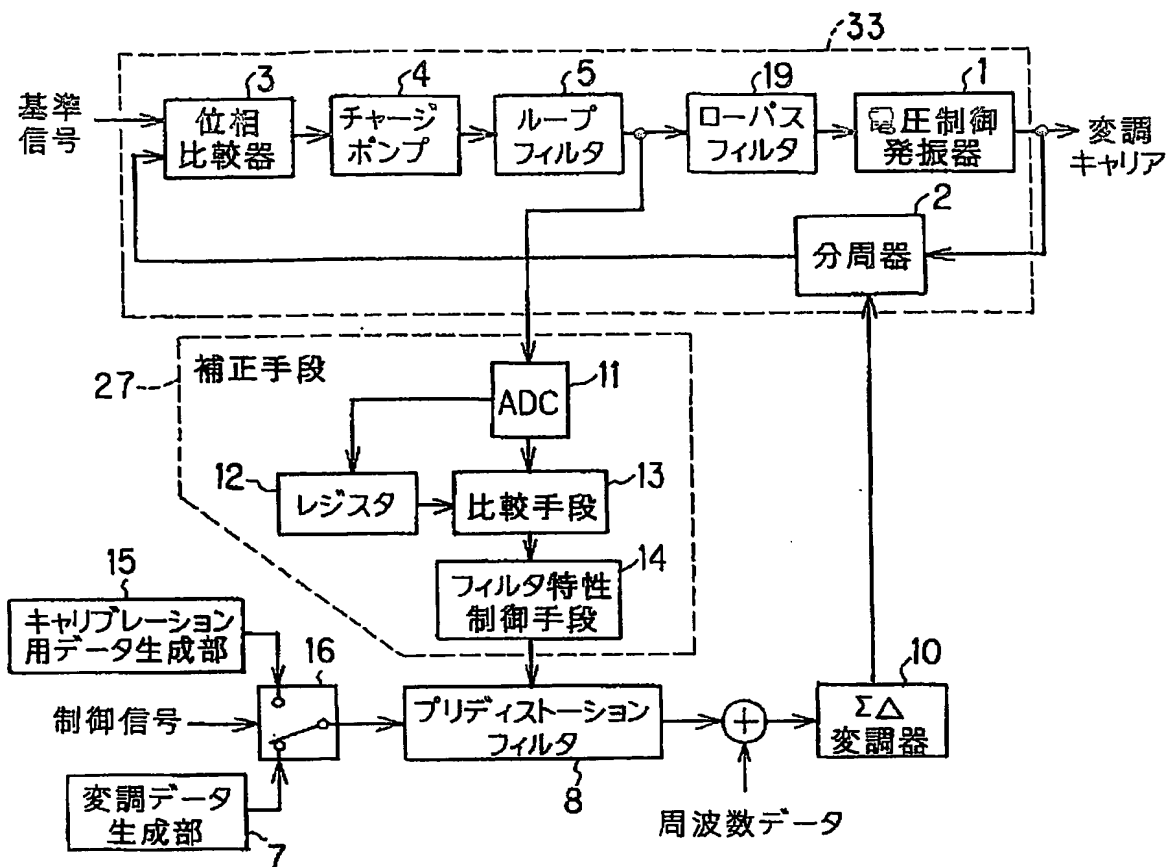
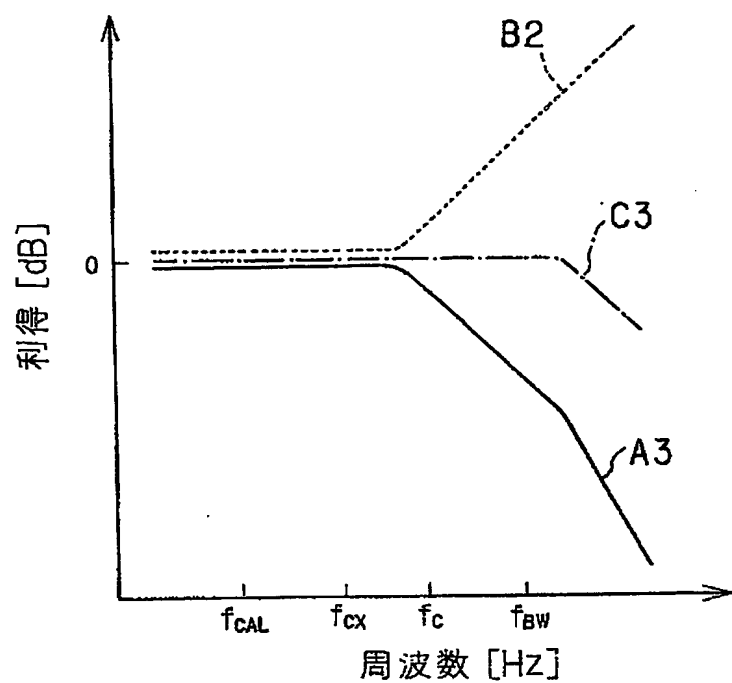




図 1 3



A3 : PLLの周波数特性  
(帯域外の高周波数域  
における減衰大)

C3 : 合成後の周波数特性

図 1 4

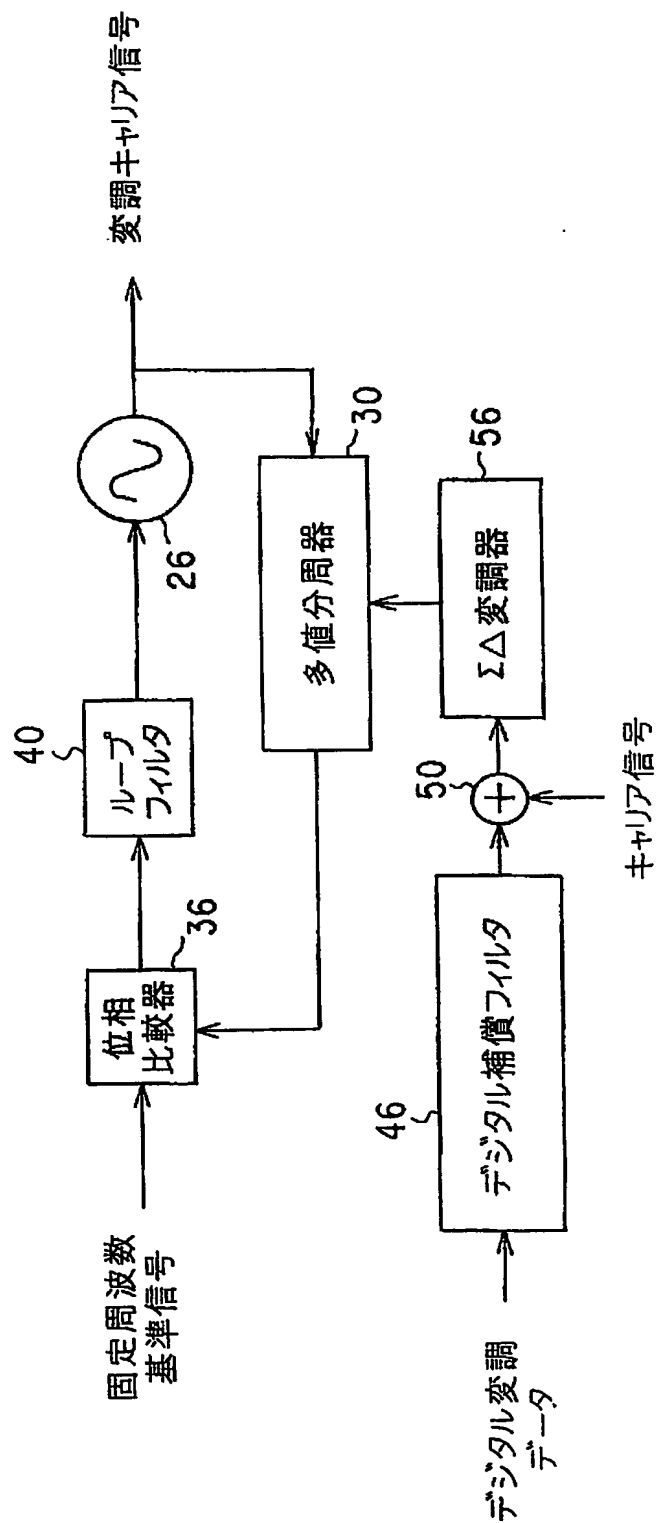


図 1 5

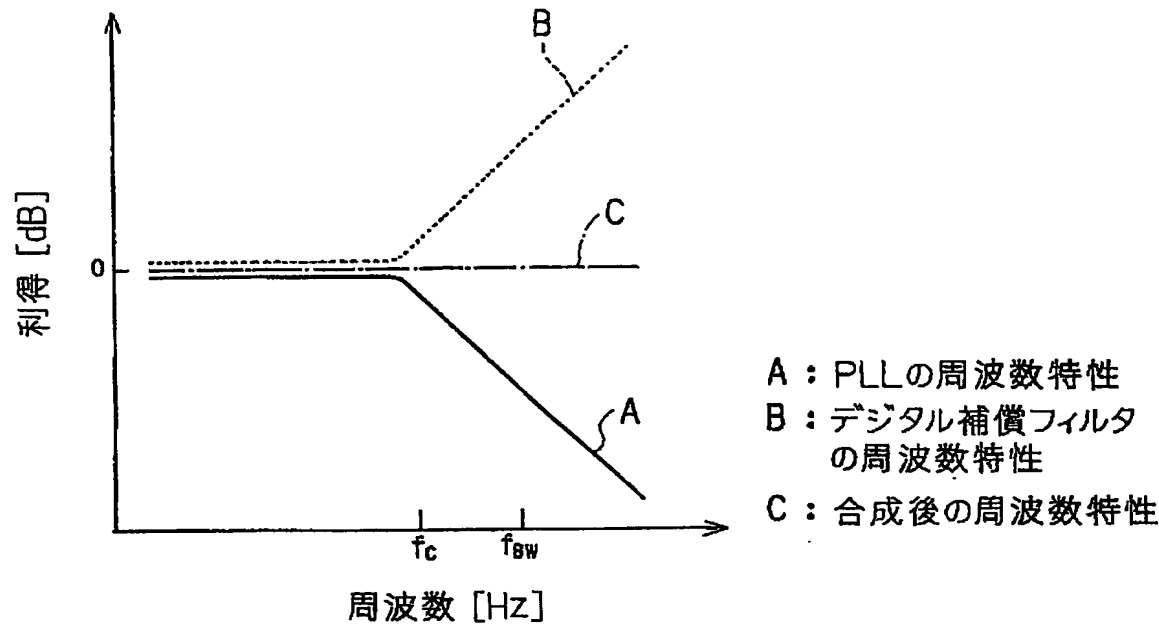
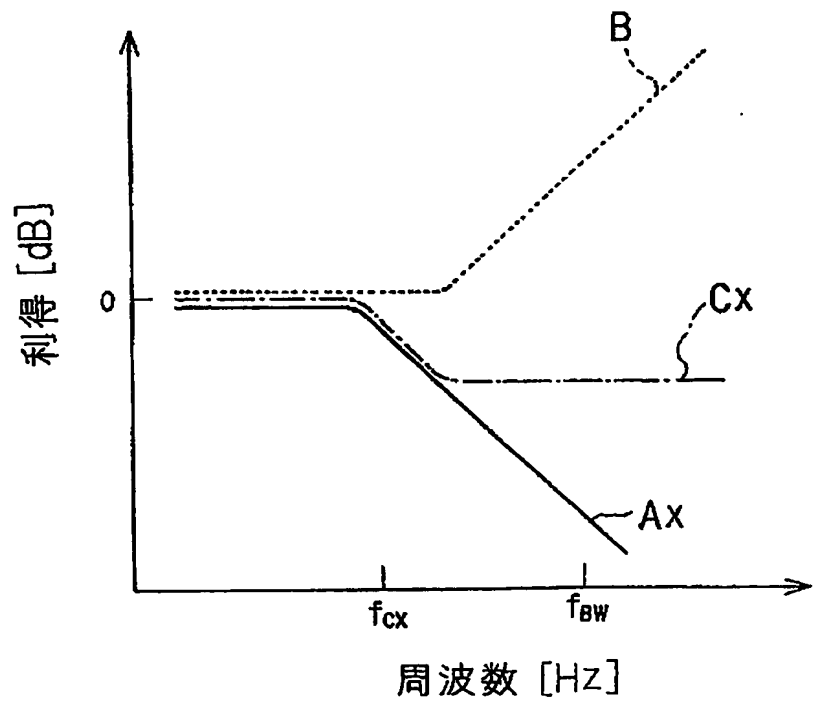


図 1 6



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000061

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03C1/00, H03L7/08, H03L7/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03C1/00, H03L7/08, H03L7/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-326518 A (Matsushita Electric Industrial Co., Ltd.), 25 November, 1994 (25.11.94), (Family: none)	1-20
A	JP 2001-156629 A (NEC Corp.), 08 June, 2001 (08.06.01), (Family: none)	1-20
A	JP 9-289447 A (Sony Corp.), 04 November, 1997 (04.11.97), & US 5977806 A	1-20
A	JP 2002-207527 A (NEC Corp.), 26 July, 2002 (26.07.02), (Family: none)	11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

07 April, 2004 (07.04.04)

Date of mailing of the international search report

27 April, 2004 (27.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03C 1/00, H03L 7/08, H03L 7/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03C 1/00, H03L 7/08, H03L 7/18

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-326518 A (松下電器株式会社) 1994. 11. 25 (ファミリーなし)	1-20
A	JP 2001-156629 A (日本電気株式会社) 2001. 06. 08 (ファミリーなし)	1-20
A	JP 9-289447 A (ソニー株式会社) 1997. 11. 04 & US 5977806 A	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
07. 04. 2004

国際調査報告の発送日  
27. 4. 2004

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-207527 A (日本電気株式会社) 2002.07.26 (ファミリーなし)	11